



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08255905 A**(43) Date of publication of application: **01.10.96**

(51) Int. Cl.

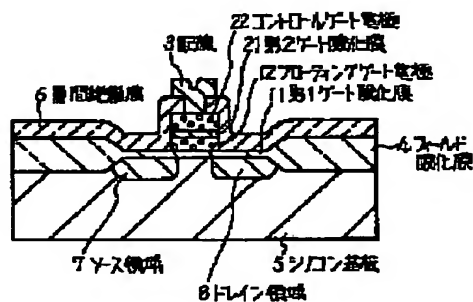
H01L 29/78**H01L 21/336****H01L 21/316**(21) Application number: **07057850**(71) Applicant: **NEC CORP**(22) Date of filing: **17.03.95**(72) Inventor: **YAMAMURA KIYOMI****(54) FABRICATION OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To obtain a semiconductor device provided with a gate oxide having low trap density within the oxide and high dielectric breakdown strength by subjecting the surface of a silicon layer to high temperature thermal oxidation at a first specified temperature and then to low temperature thermal oxidation at a second specified temperature using a mixture gas of hydrogen and oxygen.

CONSTITUTION: The temperature of a semiconductor substrate 5, provided with a silicon layer having selectively exposed surface, is raised in an inert atmosphere which is then switched to oxidizing atmosphere at a first temperature of 850-1150°C thus subjecting the surface of a silicon layer to high temperature thermal oxidation. The temperature of the semiconductor substrate 5 is then lowered to a second temperature of 700-800°C and low temperature thermal oxidation is carried out using a mixture gas of hydrogen and oxygen thus depositing a thermal oxide on the surface of the silicon layer. For example, a first gate oxide 11 is deposited on the surface of an element forming region using the double stage thermal oxidation. Subsequently, polysilicon is deposited and subjected to high temperature thermal oxidation in pure oxygen

atmosphere and low temperature thermal oxidation through combustion of hydrogen and oxygen thus depositing a second gate oxide 21.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255905

(43) 公開日 平成8年(1996)10月1日

(51) IntCl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 P
	21/336		21/316	A
	21/316			

審査請求 有 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平7-57850

(22) 出願日 平成7年(1995)3月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山村 清見

東京都港区芝五丁目7番1号 日本電気株式会社内

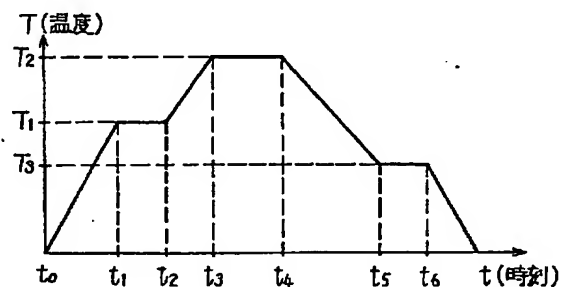
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 絶縁破壊耐性が高く、かつ、膜中トラップ密度の低い良質なゲート酸化膜を形成する。

【構成】 シリコン層の表面を温度850～1150℃の酸化性雰囲気中で高温酸化した後、引続き温度700～800℃の低温水素酸素燃焼酸化を行い熱酸化膜を形成することにより、膜中トラップ密度が低い特性と絶縁破壊耐性の高い特性を共有する良質なゲート酸化膜を形成することができる。



【特許請求の範囲】

【請求項 1】表面を選択的に露出させたシリコン層を有する半導体基板を不活性雰囲気中で昇温し 850～1150℃の第 1 の温度に設定した状態で酸化性雰囲気中に切替え前記シリコン層の表面を高温熱酸化処理する工程と、前記半導体基板を 700～800℃の第 2 の温度まで降温し水素と酸素の混合ガスによる低温熱酸化処理を行い前記シリコン層の表面に熱酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にゲート酸化膜の形成方法に関する。

【0002】

【従来の技術】シリコン基板あるいは多結晶シリコン膜（以下、ポリシリコン膜と記す）の表面を露出させた半導体ウェハを酸化炉に挿入して酸化雰囲気中で熱処理することにより、シリコン基板あるいはポリシリコン膜の表面に熱酸化膜を形成する方法として処理温度と入出炉温度が等しいノンランピング法と、処理温度よりも入出炉温度を低く設定し、炉内挿入完了後に処理温度まで昇温して酸化処理した後再び入出炉温度まで降温し出炉するランピング法の 2 種類が知られている。

【0003】近年、デバイスの微細化及び半導体ウェハの大口径化が進むに従い、炉内熱履歴差の低減、半導体ウェハに対する熱ストレスの低減を目的として、後者のランピング法を採用するケース（特開昭 63-111670 号公報参照）が増えている。

【0004】図 4 は従来の半導体装置の製造方法の一例を説明するための酸化処理温度のプログラムを示す図である。

【0005】図 4 に示すように、時刻 t_0 で酸化炉内に挿入された半導体ウェハは、時刻 t_1 までに酸化炉の初期温度 T_1 まで昇温される。900℃処理の場合、初期温度 T_1 は 700～850℃に設定されることが多い。次に、時刻 t_1 から時刻 t_2 まで半導体ウェハを更に昇温して、酸化処理温度 T_2 （ここでは 900℃）まで温度を上昇させる。ここで、 t_1 から t_2 までの期間においては、窒化防止のため 1%程度の酸素を含んだ窒素からなる不活性雰囲気中に保持される。酸化処理温度 T_2 （900℃）に達したところで、例えば水素・酸素燃焼によりシリコン基板あるいはポリシリコン膜の表面を酸化しゲート酸化膜を形成する。水素 20SLM、酸素 20SLM で酸化膜厚 10nm を形成するのに必要な酸化時間は約 4～5 分である。時刻 t_2 から時刻 t_3 までの期間で酸化処理した半導体ウェハは時刻 t_3 から t_4 にかけて降温し、酸化炉の初期温度 T_1 まで戻した後、時刻 t_4 で炉外に取り出す。ここで、酸化処理終了後の時刻 t_4 から炉外に取り出すまでの期間は、時刻 t_1 から t_2 までと同じく微量の酸素を含む窒素雰囲気中

で処理される。

【0006】また、熱処理工程の低温化、並びに、酸化膜厚制御性の容易さから、低温酸化（700～800℃）の優位性も認められており、ノンランピング法を用いた 750℃の水素・酸素燃焼酸化法が用いられる場合もある。

【0007】図 5 は従来の半導体装置の製造方法の他の例を説明するための酸化処理温度のプログラムを示す図である。

10 【0008】図 5 に示すように、時刻 t_0 で酸化炉内に挿入された半導体ウェハは、不活性雰囲気中で時刻 t_1 までに酸化炉の処理温度 T_1 （750℃）まで昇温され、時刻 t_1 で酸化性雰囲気（水素酸素燃焼）に切替え露出されたシリコン基板あるいはポリシリコン膜の表面を時刻 t_1 から t_2 までの期間で酸化処理を施す。ここで、水素 20SLM、酸素 20SLM で、酸化膜厚 10nm を形成するのに必要な酸化時間は、約 40～60 分である。所望のゲート酸化膜が形成された後、時刻 t_2 で半導体ウェハを酸化炉から取り出す。

20 【0009】このように、酸水素ガスによる高温熱酸化で得られたゲート酸化膜は、（A）膜中トラップ密度が少なくトランジスタ特性変動、特にしきい値電圧 V_{th} の経時変化が少ない。（B）酸化速度が速い。（C）ゲート酸化膜の初期耐圧特性が良好であるという利点がある。

【0010】一方、酸水素ガスによる低温熱酸化で得られたゲート酸化膜では、（A）絶縁破壊耐性（ Q_{ss} ）が良好である。（B）酸化膜厚制御性、特に薄膜領域での膜厚制御性が良好であるという利点があり、デバイス微細化の進む近年では低温酸化での利点が重要視されているが、処理時間が長くなるという問題点がある。

【0011】

【発明が解決しようとする課題】この従来の半導体装置の製造方法は、高温熱酸化法では絶縁破壊耐性が低く、膜厚制御が難しいという問題があり、低温熱酸化法では酸化膜のトラップ密度が大きく、酸化膜の初期耐圧特性が悪いという問題点があった。

【0012】本発明の目的は、膜中のトラップ密度が小さく、絶縁破壊耐性の良好なゲート酸化膜を有する半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、表面を選択的に露出させたシリコン層を有する半導体基板を不活性雰囲気中で昇温し 850～1150℃の第 1 の温度に設定した状態で酸化性雰囲気中に切替え前記シリコン層の表面を高温熱酸化処理する工程と、前記半導体基板を 700～800℃の第 2 の温度まで降温し水素と酸素の混合ガスによる低温熱酸化処理を行い前記シリコン層の表面に熱酸化膜を形成する工程とを含んで構成される。

【0014】

【作用】酸化膜の絶縁破壊のメカニズムのひとつに、膜中の正孔トラップ密度が関係していると考えられ、膜中トラップ密度の総量は、酸素空位による正孔トラップ密度と $\text{Si}-\text{OH}$ 、 $\text{Si}-\text{H}$ 結合による電子トラップ密度との和であり、高温酸化になる程、膜中トラップ密度の総量は減少するものの、正孔トラップ密度が増加するため、絶縁破壊耐性が劣化する。そこで、本発明では高温酸化に引続き低温水素酸素燃焼酸化を行なうことで酸素空位が $\text{Si}-\text{OH}$ に置換され、その結果、高温酸化時の膜中トラップ密度を維持したまま、正孔トラップ密度を減少させることができ、絶縁破壊耐性が向上すると考えられる。

【0015】

【実施例】次に、本発明について図面を参照して説明する。

【0016】図1は本発明の一実施例を説明するための酸化処理温度のプログラムを示す図である。

【0017】図1に示すように、素子形成領域の表面を露出させたシリコン基板（ウェハ）を時刻 t_0 で酸化炉の初期温度 T_0 （ $700\sim 900^\circ\text{C}$ ）に設定された酸化炉内に装着し、1%程度の酸素を含む窒素からなる不活性雰囲気中で加熱し、時刻 t_0 から t_1 までの期間、初期温度 T_0 に保持する。次に、時刻 t_1 で基板温度を上昇させ、時刻 t_2 で第1の温度 T_1 （ $850\sim 1150^\circ\text{C}$ ）に到達したところで水素20SLM、酸素20SLMの水素酸素燃焼による酸化性雰囲気中に切替え、時刻 t_2 から t_3 までの期間に露出されたシリコンの表面を高温熱酸化処理する。

【0018】次に、時刻 t_3 で基板温度を降温速度 $5^\circ\text{C}/\text{分}$ で降下させ、時刻 t_4 で第2の温度 T_2 （ $700\sim 800^\circ\text{C}$ ）に到達したところで水素20SLM、酸素20SLMの水素酸素燃焼酸化により時刻 t_4 から t_5 までの期間に低温熱酸化処理し30nmの熱酸化膜を形成する。

【0019】次に、時刻 t_5 で酸化性雰囲気を窒素からなる不活性雰囲気中に切替えて半導体基板を酸化炉内から取り出す。このときの不活性雰囲気は低温で酸化膜が窒化されることがないため純窒素が用いられる。

【0020】このように、高温酸化処理により形成された膜中のトラップ密度の少ない初期耐圧特性の良好な熱酸化膜を低温水素酸素燃焼酸化処理する2段階熱酸化法により絶縁破壊耐性を向上させた熱酸化膜を形成でき、 750°C の低温酸化処理のみで熱酸化膜を形成する場合に比べて処理時間を大幅に（最高で80%）短縮することができた。

【0021】なお、高温酸化処理から低温酸化処理に移る基板降温時間に酸素を含む窒素雰囲気あるいは純窒素雰囲気に切替えることで膜厚20nm以下の薄ゲート酸化膜の形成にも対応できる。

【0022】図2は本発明と従来例により形成されたゲート酸化膜の絶縁破壊特性および膜中トラップ密度を示す図である。

【0023】図2に示すように、絶縁破壊耐性は定電流TDDB評価によって得られた累積不良率が50%になるまでに注入された電荷量（○印）を、また膜中トラップ密度は電荷注入によるC-V特性の変化量を膜中トラップ密度に換算したもの（×印）を、各々任意目盛の縦軸で示しており、高温酸化処理と低温酸化処理を組合わせた熱酸化法によって、双方の優れた特性を合わせ持つ良質なゲート酸化膜を形成することが出来、これによって、経時変化、特にV_tと呼ばれる半導体装置の閾値電圧変化の少ない、高信頼、かつ長寿命な半導体装置の製造が可能になる。

【0024】図3は本発明の応用例を説明するための断面図である。

【0025】図3に示すように、シリコン基板5の表面を選択酸化して形成したフィールド酸化膜4により素子分離された素子形成領域の表面に本発明の実施例で説明した2段階熱酸化法を用い第1ゲート酸化膜11を形成する。次に、第1ゲート酸化膜11の上に第1の多結晶シリコン膜を堆積してその表面を 1000°C の純酸素雰囲気中で高温熱酸化処理と、 750°C の水素酸素燃焼による低温熱酸化処理を行い第2ゲート酸化膜21を形成する。次に第2ゲート酸化膜21の上に第2の多結晶シリコン膜を堆積してこれらをバターンニングしてフローティングゲート電極12、第2ゲート酸化膜21、コントロールゲート電極22を形成し、コントロールゲート電極22、フローティングゲート電極12をマスクとしてシリコン基板5に不純物をイオン注入し、EEPROM、フラッシュメモリ等の不揮発性メモリ素子を形成する。

【0026】ここで注意する点は、第2ゲート酸化膜21を形成する酸化条件が既に形成している第1ゲート酸化膜11の膜質を劣化させないこと、かつ、可能な限り高温酸化を行ないフローティングゲート電極12を形成するポリシリコン膜の表面の突起を少なくして第2ゲート酸化膜21の膜質、特に耐圧を向上させることの2点を満たす酸化条件を設定することであり、 1050°C 以上の熱処理により酸化膜の絶縁破壊耐性が劣化するという周知事実より上述した条件を設定した。

【0027】

【発明の効果】以上説明したように本発明は、高温酸化による酸化膜形成に引続き水素酸素燃焼法による低温酸化を行う2段階熱酸化により熱酸化膜を形成することにより、膜中トラップ密度が高温酸化と同程度に低く、かつ、絶縁破壊耐性が低温水素酸素燃焼酸化と同程度に高い、良質なゲート酸化膜を形成することができ、閾値電圧の経時変化が少なく、かつ、高信頼、長寿命な半導体装置を実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための酸化処理温度のプログラムを示す図。

【図2】本発明と従来例により形成されたゲート酸化膜の絶縁破壊耐圧および膜中トラップ密度を示す図。

【図3】本発明の応用例を説明するための断面図。

【図4】従来の半導体装置の製造方法の一例を説明するための酸化処理温度のプログラムを示す図。

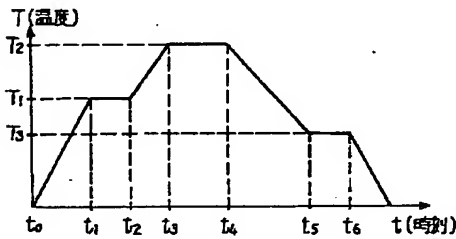
【図5】従来の半導体装置の製造方法の他の例を説明するための酸化処理温度のプログラムを示す図。

【符号の説明】

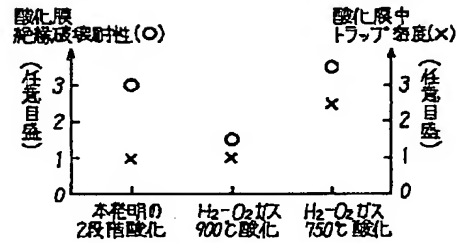
*

- * 3 配線
- 4 フィールド酸化膜
- 5 半導体基板
- 6 層間絶縁膜
- 7 ソース領域
- 8 ドレイン領域
- 11 第1ゲート酸化膜
- 12 フローティングゲート電極
- 21 第2ゲート酸化膜
- 22 コントロールゲート電極

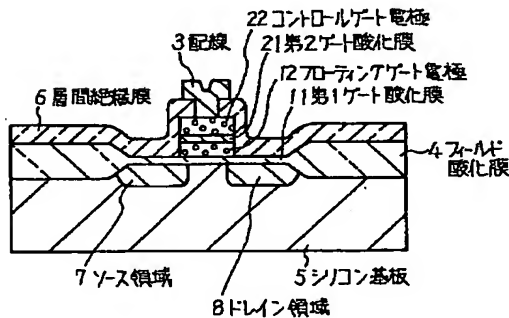
【図1】



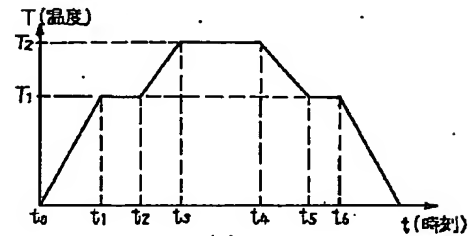
【図2】



【図3】



【図4】



【図5】

